

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-306663

(43)Date of publication of application : 20.12.1990

(51)Int.Cl.

H01L 29/784

(21)Application number : 01-129079

(71)Applicant : RICOH CO LTD

(22)Date of filing : 22.05.1989

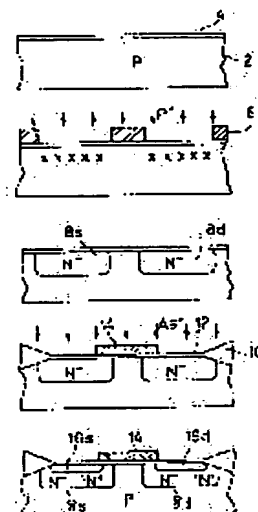
(72)Inventor : NISHIKAWA MASAMI
YOSHII KOJI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve breakdown strength determined according to a bipolar breakdown by forming a low concentration impurity region in a drain region by a well, forming a high concentration impurity region inside the well, and forming a double diffused drain.

CONSTITUTION: Wells 8s, 8d having low impurity concentration are formed on a semiconductor substrate 2, an element isolating region 10, a gate oxide film 12 are formed, a gate electrode 14 to be partly superposed with the wells 8s, 8d is then formed, and with a gate electrode 14 as a mask the same conductivity type impurity as those of the wells 8s, 8d is then injected to be higher concentration and shallower than the wells 8s, 8d in the substrate 2. Accordingly, the formed drain region has a double diffused structure which includes a high impurity concentration region 16d inside the low impurity concentration well 8d. Thus, the well 8d and the region 16d inside the well 8d are formed with different masks in separate steps to so freely set the width and the concentration of the region 8d of the drain end to effective values as to prevent a bipolar breakdown.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-306663

⑬ Int. Cl.⁵
H 01 L 29/784

識別記号 庁内整理番号

⑭ 公開 平成2年(1990)12月20日

8422-5F H 01 L 29/78 3 0 1 S

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平1-129079

⑰ 出 願 平1(1989)5月22日

⑱ 発 明 者 西 川 正 身 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑲ 発 明 者 吉 井 宏 治 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑳ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

㉑ 代 理 人 弁 理 士 野 口 繁 雄

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 以下の工程(A)から(C)を含む半導体装置の製造方法。

(A) 半導体基板の少なくともドレインとなる領域に不純物濃度の低いウエルを形成する工程。

(B) 素子分離領域、ゲート酸化膜形成後に前記ウエルに一部が重なるゲート電極を形成する工程。

(C) 前記ゲート電極をマスクとして基板に前記ウエルと同じ導電型の不純物を高濃度に、かつ、前記ウエルよりも浅く導入する工程。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はMOSトランジスタの製造方法に関するものである。

(従来の技術)

第5図に一般的Nチャネル型MOS(NMOS)

トランジスタの出力特性の一例を示す。このトランジスタはチャネル幅 $W=40\mu m$ 、チャネル長 $L=5\mu m$ のものである。ドレイン・ソース間の電圧 V_{DS} を上げていくと、ゲート電圧に対応したドレイン電流 I_D が流れるが、 V_{DS} が6~7V程度になると急に大電流が流れだしてトランジスタとして動作しなくなる。この現象はバイポーラ・ブレイクダウンとして説明されており、これにより耐圧が定まる。

バイポーラ・ブレイクダウンは一般的に次のように考えられている。ゲート電極にバイアス電圧を印加することによりゲート電極直下にチャネルが形成され、その結果ドレイン端で発生した電子とホールとのうちホールが基板へ行ってこれがいわゆる基板電流となり、基板電位が上昇する。NMOSTランジスタではドレイン、ソース及び基板の間には寄生NPNトランジスタが構成されているが、基板電位が上昇すると、この寄生NPNトランジスタがオンとなることによりバイポーラ・ブレイクダウンが起こる。

バイポーラ・ブレイクダウンを防いで耐圧を上げる対策は、ドレイン端の電界強度を弱めることである。そのような対策としては、いくつかが考えられている。

ゲート長 L を長くすることも考えられる。しかし、 $L=2\mu m$ で耐圧約6Vであるのに対し、 $L=40\mu m$ にしても耐圧は8V程度までにしか上昇しない。したがって大幅な改善とはならない。

ゲート酸化膜を厚くすることも考えられるが、増幅率が落ちるなど、素子の微細化とは逆行し、実用的ではない。

実用的な対策としてはドレイン端の不純物濃度を低濃度とするLDD (Lightly Doped Drain) 構造とドレイン領域の不純物分布を傾斜接合とするDDD (Double Diffused Drain) 構造がある。このうちLDD構造では、写真製版工程が1回増えるため工程数が増す欠点がある。

DDD構造では、拡散係数の大きいリンとシャープな不純物プロファイルをもつ砒素とを順次イオン注入し、深い領域に低濃度領域を形成し、浅

い領域に高濃度領域を形成する。

(発明が解決しようとする課題)

DDD構造は製造プロセス的には簡単であるが、ドレイン端における低濃度拡散層の厚さを十分に厚くすることができず、そのためバイポーラ・ブレイクダウンによる耐圧を充分高めることができない。その原因は、リンを充分に拡散させようとすれば高温で長時間の熱処理が必要であるが、DDD工程でリンと砒素を拡散させる段階では素子分離用のフィールド酸化膜がすでに形成されており、そのフィールド酸化膜下にはフィールドドープ用の不純物がすでに導入されている。そのため高温長時間の熱処理によってそのフィールドドープ用の不純物も拡散する不都合が生じるからである。

また、ドレイン端は濃度が低い方がよいが、DDD構造でドレイン端濃度を下げるためにリンの濃度を下げると、砒素との拡散速度の差が小さくなってリンを大きく拡散させることができなくなる。

その結果、DDD構造ではバイポーラ・ブレイクダウンに関しては耐圧を1V程度しか上げることができない。

本発明は簡単な構造でドレイン端に充分な幅の低濃度不純物領域を形成してバイポーラ・ブレイクダウンを防いで耐圧を高めることのできるMOSトランジスタの製造方法を提供することを目的とするものである。

(課題を解決するための手段)

本発明方法は、以下の工程(A)から(C)を含んでいる。

(A) 半導体基板の少なくともドレインとなる領域に不純物濃度の低いウエルを形成する工程、

(B) 素子分離領域、ゲート酸化膜形成後に前記ウエルに一部が重なるゲート電極を形成する工程、

(C) 前記ゲート電極をマスクとして基板に前記ウエルと同じ導電型の不純物を高濃度に、かつ、前記ウエルよりも浅く導入する工程。

(作用)

本発明の工程により形成されるドレイン領域は

不純物濃度の低いウエルの内側に不純物濃度の高い領域をもつ二重拡散構造となっている。ウエルとその内側の高濃度領域とを異なるマスクを用いて別工程で形成するので、ドレイン端の低濃度領域の幅及び濃度はバイポーラ・ブレイクダウンを防ぐのに有効な値に自由に設定することができる。

(実施例)

第1図は本発明をNウエルCMOSプロセスに適用した一実施例を表わす。

(A) P型シリコン基板2の表面に約250Åの厚さの熱酸化膜4を形成する。基板2は抵抗が $6\Omega\cdot cm$ の<100>シリコン単結晶ウエハである。

(B) 酸化膜4上にレジストを塗布し、通常の写真製版によって後にNウエルとなる領域に開口をもつようにレジストパターン6を形成する。

次に、N型不純物として例えばリンをイオン注入する。注入の加速エネルギーは160KeVで、注入量は約 $6\times 10^{13}/cm^2$ である。

(C) レジストを除去した後、熱処理を行なう。

熱処理条件は窒素雰囲気、1150℃、約8時間である。これにより、Nウェル8s、8dが形成される。

(D) その後は一般的なCMOSプロセスに従う。

すなわち、フィールドープを行ない、フィールド酸化膜10を形成し、ゲート酸化膜12を形成する。ゲート酸化膜12上に多結晶シリコン層に於けるゲート電極14を形成する。ゲート電極14はウェル8の領域と一部が重なるように形成する。

次に、NMOSトランジスタのソース・ドレインのためのイオン注入として、例えば砒素を70KeVで $6 \times 10^{15} / \text{cm}^2$ 注入する。

(E) その後、例えば窒素中で950℃、30分間の熱処理を行なう。

これにより、ソース・ドレインは低濃度のウェル8s、8dの内側にそれぞれ高濃度の不純物領域16s、16dをもつ二重拡散構造となる。

その後は一般的なCMOSプロセスに従ってMOSトランジスタを完成する。

ジスタでは約 10^{-8} Aの単位である。

第2図の構造のMOSトランジスタではトランジスタサイズがかなり大きくなる。バイポーラ・ブレイクダウンに最も影響の大きいのはドレイン領域であるので、ソース領域については一重拡散構造とすることもできる。

第4図はドレイン領域のみを本発明プロセスによる二重拡散構造としたものである。第4図の構造にするには、ウェルを形成するイオン注入のレジストパターンにおいてソース領域には開口を設けないようにパターンを形成すればよい。

(発明の効果)

本発明では少なくともドレイン領域にウェルによって低濃度不純物領域を形成しておき、そのウェルの内側に高濃度不純物領域を形成して、二重拡散ドレインを形成するようにしたので、従来のDDD構造よりもドレイン端での不純物濃度を低く、かつ、低濃度領域の幅を広く設定することが容易であり、バイポーラ・ブレイクダウンにより定まる耐圧を大幅に向上させることができる。

第1図のプロセスによって第2図に示されるNMOSトランジスタが形成される。ここで、ソース・ドレインのNウェル8s、8dの深さが約4 μm 、濃度が約 $1.5 \times 10^{15} / \text{cm}^2$ であり、高濃度領域16s、16dの深さが約0.3 μm 、濃度が約 $2 \times 10^{18} / \text{cm}^2$ であり、ゲート酸化膜12の膜厚が約250Åであり、チャネル長Lが約10 μm であり、チャネル幅Wが約40 μm であり、ドレイン端の幅 Δ が約3 μm である場合の出力特性を第3図に示す。各曲線はゲート電圧を変えていったものであり、電流値IDの大きいもの程ゲート電圧を高くしている。

第3図の結果によれば、本発明で形成される一例のNMOSトランジスタのバイポーラ・ブレイクダウン耐圧が15V以上となっており、従来のものと比べて大幅に改善されている。このことは、基板電流のデータからも裏付けられる。実施例で示したサイズと同じサイズでドレインが一重拡散の従来のトランジスタでは、基板電流が約 10^{-8} Aの単位であるのに対し、実施例のMOSトラン

ジスタはNMOSトランジスタに本発明を適用したものであるが、本発明はまた、PMOSトランジスタにも適用することができる。

4. 図面の簡単な説明

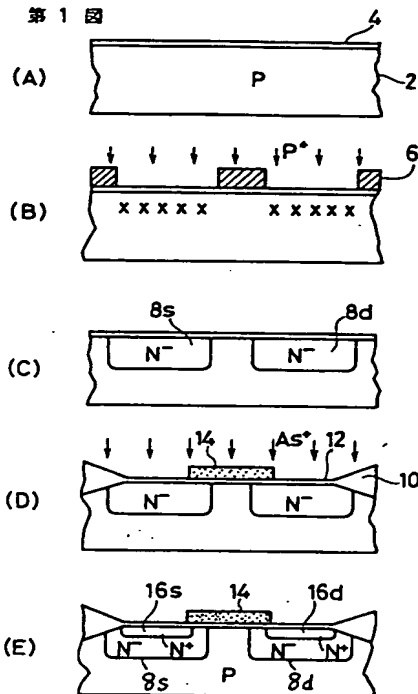
第1図は一実施例を示す工程断面図、第2図は同実施例により形成されるMOSトランジスタを示す断面図、第3図はそのMOSトランジスタの出力特性を示す図、第4図は本発明により形成される他のMOSトランジスタを示す断面図、第5図は従来のMOSトランジスタの出力特性を示す図である。

2……シリコン基板、6……レジストパターン、8s、8d……ウェル、14……ゲート電極、16s、16d……高濃度不純物領域。

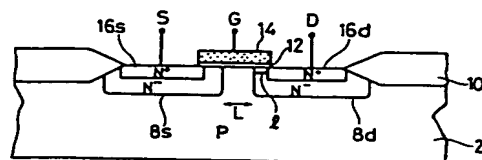
特許出願人 株式会社リコー

代理人 井理士 野口繁雄

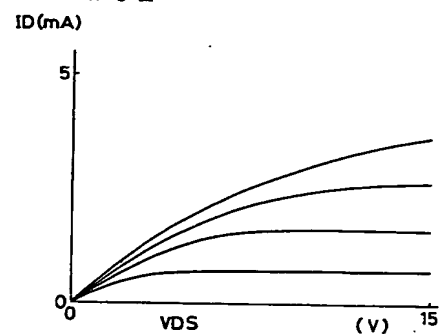
第 1 図



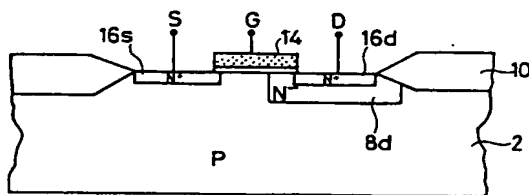
第 2 図



第 3 図



第 4 図



第 5 図

